

JP00/01588

REC'D 09 MAY 2000

PCT/JP 00/01588

WIP

1503.00

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

09/936683

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年11月26日

EKU

出願番号

Application Number:

平成11年特許願第336421号

出願人

Applicant(s):

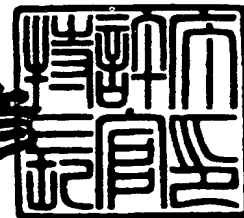
三菱電線工業株式会社

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 4月21日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3027993

【書類名】	特許願
【整理番号】	P6281
【提出日】	平成11年11月26日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 33/00
【発明者】	
【住所又は居所】	兵庫県伊丹市池尻4丁目3番地 三菱電線工業株式会社 伊丹製作所内
【氏名】	岡川 広明
【発明者】	
【住所又は居所】	兵庫県伊丹市池尻4丁目3番地 三菱電線工業株式会社 伊丹製作所内
【氏名】	只友 一行
【発明者】	
【住所又は居所】	兵庫県伊丹市池尻4丁目3番地 三菱電線工業株式会社 伊丹製作所内
【氏名】	大内 洋一郎
【発明者】	
【住所又は居所】	兵庫県伊丹市池尻4丁目3番地 三菱電線工業株式会社 伊丹製作所内
【氏名】	湖東 雅弘
【特許出願人】	
【識別番号】	000003263
【氏名又は名称】	三菱電線工業株式会社
【代表者】	富士 晴之助
【手数料の表示】	
【予納台帳番号】	066707
【納付金額】	21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体基材及びその作製方法

【特許請求の範囲】

【請求項 1】 基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、凹部はその層からは実質的に結晶成長し得ないマスクで覆われ、前記半導体結晶は該凹凸面における凸部の上方部から専ら結晶成長されたものであることを特徴とする半導体基材。

【請求項 2】 上記半導体結晶が InGaAlN であることを特徴とする請求項 1 記載の半導体基材。

【請求項 3】 上記基板の結晶成長面の凸部が、平行なストライプ形状からなる凸部であることを特徴とする請求項 1 記載の半導体基材。

【請求項 4】 上記半導体結晶が InGaAlN であって、かつストライプの長手方向が該 InGaAlN 結晶の $(1-100)$ 面と垂直であることを特徴とする請求項 3 記載の半導体基材。

【請求項 5】 基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、凹部はその層からは実質的に結晶成長し得ないマスクで覆われ、前記半導体結晶は該凹凸面における凸部の上方部から専ら結晶成長された半導体基材において、前記凹凸面が成長された半導体結晶で覆われており、この半導体結晶層と前記凹凸面における凹部との間には空洞部が形成されていることを特徴とする請求項 1 記載の半導体基材。

【請求項 6】 基板の結晶成長面を凹凸面とし、凹部をその層からは実質的に結晶成長し得ないマスクで覆い、気相成長法により前記凹凸面における凸部の上方部から専ら結晶成長されることで形成された第一の半導体結晶と、この第一の半導体結晶の表面を凹凸面とし、同様に凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その凸部の上方部から専ら結晶成長されることで形成された第二の半導体結晶とからなることを特徴とする半導体基材。

【請求項 7】 請求項 6 の半導体基材における第二の半導体結晶の表面を凹凸面とし、凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その上に同様に気相成長法により形成された第 3 の半導体層乃至は同様の工程を繰り返

すことで多重的に形成された複数の半導体層を有することを特徴とする半導体基材。

【請求項 8】 基板上に半導体結晶を気相成長させるにあたり、予め基板表面に凹凸面加工を施し、該凹凸面における凹部をその層からは実質的に結晶成長し得ないマスクで覆い、次いで該基板に対して原料ガスを供給し、前記凹凸面における凸部の上方部から専ら結晶成長される半導体結晶にて前記基板の凹凸面を覆うことを特徴とする半導体基材の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体基材及びその作製方法に関し、特に転位欠陥が生じ易い半導体材料を用いる場合に有用な構造及び方法に関するものである。

【0002】

【従来の技術】

GaN系材料を結晶成長する場合、GaN系材料は格子整合する基板がないためにサファイア、SiC、スピネル、最近ではSiなどの格子整合しない基板を用いている。しかしながら、格子整合しないことに起因し作製したGaNの膜中には 10^{10} 個/cm²もの転位が存在している。近年高輝度の発光ダイオード、半導体レーザーなどが実現されているが、特性向上を図るためには転位密度の低減が望まれている。

【0003】

【発明が解決しようとする課題】

この転位密度低減を図る方法としては、例えばGaN系半導体結晶等を、サファイア基板上にバッファ層、GaN層を成長しこれを下地基板とし、前記基板上に部分的なマスクを設けて選択成長する事でラテラル方向の結晶成長を行わせ、転位密度を低減した高品質な結晶を得る方法が提案されている（例えば特開平10-312971号公報）。

【0004】

しかしながら上記の方法によれば、マスク層上にラテラル方向成長された部分に

において、ラテラル成長方向にc軸が微小量ながら傾斜するといった問題が生じ、これにより結晶品質が低下するという新たな問題が有ることが判明した(MSR 1998 Fall、Meeting 予稿集G3・1)。これは、X線ロッキングカーブ測定(XRC)の入射方位依存性を測定(ϕ スキャン)することでも確認できる。即ち、ラテラル成長方向からの入射X線によるX線ロッキングカーブの半値全幅(FWHM)は、マスク層のストライプ方向からのX線によるFWHM値より大きくなっており、C軸の微小傾斜(チルティング)に方位依存性がある事を示している。この事は、マスク上のラテラル成長の合体部分に新たな欠陥を多数誘起する可能性を示唆している。

【0005】

このような問題を解消する試みとして、SiCのベース基板上にバッファ層及びGaN層を設けた基板に対して、SiC層にまで至るストライプ溝加工を施して凸部を形成し、この凸部の上方部に位置することになるGaN層から結晶成長させる方法が提案されている(MRS 1998 Fall Meeting予稿集G3・38)。

この方法によればSiO₂マスク層無しで選択成長させる事も出来、上述のSiO₂マスクを用いることに起因する各種の問題を解消することが可能となる。

【0006】

上記方法は、ベース基板としてサファイア基板を使用する事ができその方法も開示されている(例えば、特開平11-191659号公報)。しかしながら上記方法では、サファイアベース基板上にバッファ層材料ならびにGaN系材料を結晶成長させ、一旦成長炉から取り出し溝加工を施し、その後再び結晶成長を行うというステップが必要となることから、製造プロセスが複雑化するという新たな不都合が発生し、作業工程が多くなりコストがかかるなどの問題を有していた。

【0007】

また(応用物理学会99秋予稿集2P-W-8)ではGaN基板に段差をつけ埋め込み成長をすることで低転位密度領域を得る試みも開示されている。ここでは埋め込んだ層の一部に低転位密度領域が形成されている。

しかしながら上記方法では低転位密度領域を得るためには、凸部の間隔を広げる

必要、もしくは凹部の深さを深くする必要があった。このようにするため埋め込みに時間をかけ厚く成長をする必要があり、厚膜化に伴うクラックの発生、時間がかかるためコストがかかる、など種々の問題を内在していた。

【0008】

またSi基板上にGaN系材料を結晶成長する試みもなされているが、GaN系結晶を成長すると熱膨張係数差に起因した反りやクラックが発生し良質の結晶成長を行えない問題があった。

【0009】

従って本発明は上記問題に鑑み、通常のマスク層を用いるELO成長に起因する種々の問題を回避し、かつ製造工程の簡略化を図ることを目的としている。またマスクを持たない段差構造の埋め込み成長に起因した問題を解決する事を目的としている。さらにSi基板等を用いた場合の反りやクラックの発生を押さえることを目的としている。

【0010】

【課題を解決するための手段】

本発明の半導体基材は、基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、凹部はその層からは実質的に結晶成長し得ないマスクで覆われ、前記半導体結晶は該凹凸面における凸部の上方部から専ら結晶成長されたものであることを特徴とするものである。この場合、上記半導体結晶がInGaAlNであることが望ましい。

【0011】

上記基板の結晶成長面の凸部を、平行なストライプ形状からなる凸部とすることが好ましい。さらに、上記半導体結晶がInGaAlNであって、かつストライプの長手方向が該InGaAlN結晶の(1-100)面と垂直であるストライプとすることがより好ましい。

【0012】

本発明にかかるより具体的な半導体基材は、基板と該基板上に気相成長された半導体結晶とからなる半導体基材であって、前記基板の結晶成長面が凹凸面とされ、凹部はその層からは実質的に結晶成長し得ないマスクで覆われ、前記半導体

結晶は該凹凸面における凸部の上方部から専ら結晶成長された半導体基材において、前記凹凸面が成長された半導体結晶で覆われており、この半導体結晶層と前記凹凸面における凹部との間には空洞部が形成されていることを特徴とするものである。

【0013】

また、当該半導体基材を、基板の結晶成長面を凹凸面とし、凹部をその層からは実質的に結晶成長し得ないマスクで覆い、気相成長法により前記凹凸面における凸部の上方部から専ら結晶成長されることで形成された第一の半導体結晶と、この第一の半導体結晶の表面を凹凸面とし、同様に凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その凸部の上方部から専ら結晶成長されることで形成された第二の半導体結晶とからなる構成とすることもできる。

【0014】

さらに、上記半導体基材における第二の半導体結晶の表面を凹凸面とし、凹部をその層からは実質的に結晶成長し得ないマスクで覆い、その上に同様に気相成長法により形成された第3の半導体層乃至は同様の工程を繰り返すことで多重的に形成された複数の半導体層を具備させるようにしても良い。

【0015】

本発明の半導体基材の作製方法は、基板上に半導体結晶を気相成長させるにあたり、予め基板表面に凹凸面加工を施し、該凹凸面における凹部をその層からは実質的に結晶成長し得ないマスクで覆い、次いで該基板に対して原料ガスを供給し、前記凹凸面における凸部の上方部から専ら結晶成長される半導体結晶にて前記基板の凹凸面を覆うことを特徴とする。

【0016】

【作用】

本発明は、バッファ層等すら形成していない状態の基板に対して凹凸面を設け、凹部にその層からは実質的に成長し得ないマスクで覆うことで、結晶成長当初から実質的に低転位密度領域を形成可能なラテラル成長を起こす素地面を予め提供しておく点に特徴を有する。即ち、気相成長させた場合、成長初期には基板表面全体に原料が拡散するが、凹部マスク上では結晶成長が生じ難いため、凸部で

の成長が優位となり、ひいては凸部から成長した層に覆われるというものである。

【0017】

この凸部の成長ではC軸と垂直方向のいわゆるラテラル成長が起き、低転位密度領域の形成が達成されることになる。このように低転位密度領域を有する結晶基材の成長が、一回行うだけで可能となり、その後の成長工程を連続して行うことができるものである。また凹部での成長を抑えることができるため、ラテラル成長の効率が良くなるものである。

【0018】

【発明の実施の態様】

以下図面に基いて、本発明の実施態様につき詳細に説明する。

図1(a)乃至(c)は本発明に係る半導体基材の結晶成長状態を説明するための断面図である。図において、1は基板であり、2は該基板1上に気相成長された半導体結晶をそれぞれ示している。基板1の結晶成長面には凸部11及び凹部12が形成されており、前記凸部11の上方部から専ら結晶成長が行われるよう構成されている。また凹部12は、その層からは実質的に成長し得ないマスク3で覆われている。

【0019】

本発明でいう基板とは、各種の半導体結晶層を成長させるためのベースとなる基板であって、格子整合のためのバッファ層等も未だ形成されていない状態のものである。このような基板としては、サファイア(C面、A面、R面)、SiC(6H、4H、3C)、GaN、Si、スピネル、ZnO、GaAs、NGOなどを用いることができるが、発明の目的に対応するならばこのほかの材料を用いてもよい。またこれら基板からoffしたものをを用いてもよい。

【0020】

基板1上に成長される半導体結晶としては種々の半導体材料を用いることができ、 $Al_xGa_{1-x-y}In_yN$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) ではx、yの組成比を変化させたGaN、 $Al_{0.5}Ga_{0.05}N$ 、 $In_{0.5}Ga_{0.05}N$ などが例示できる。

【0021】

基板1の結晶成長面に形成される凸部11は、その上方部から専ら結晶成長が行われるような形状とすると有効である。「上方部から専ら結晶成長が行われる」とは、凸部11の頂点ないし頂面及びその近傍での結晶成長が優勢に行い得る状態をいい、成長初期には凹部での成長が生じてもよいが最終的には凸部11の結晶成長が優勢となることを指す。

【0022】

また、凹部12上に作製するマスク3は、その層からは実質的に結晶成長し得ない作用を果たしていればよい。「その層からは実質的に成長し得ない」とは結晶成長が生じ難い状態のことをいい、成長初期には凹部マスク上での成長が生じてもよいが最終的には凸部11の結晶成長が優勢となることを指す。

つまり上方部を起点としたラテラル成長により低転位密度領域が形成されれば、従来のマスクを要するELOと同様の効果がある。これが本発明では基板の加工のみで、結晶成長一回で低転位密度領域を形成できる点に特徴がある。以下、この点についての説明を、図1、図2に基づいて行う。

【0023】

図1、図2は凸部をストライプ状に形成したものの横断面図である。

先ず、図1では、(a)図に示すように溝幅Bに対し溝深さ(凸部高さ)hが深い基板1を用いる場合を例示している。この場合原料ガスが凹部12及びその近傍に十分至らず、また凹部12にはマスク3を施していることもあって、凸部11の上方部からしか結晶成長が起こらない。図1(b)において、20はこの結晶成長開始時の結晶単位を示している。このような状況下、結晶成長が続くと凸部11の上方部を起点とし横方向に成長した膜がつながって、やがて図1(c)のように凹部に空洞部13を残したまま、基板1の凹凸面を覆うことになる。この場合、横方向に成長した部分、つまり凹部12上部には低転位領域が形成され、作製した膜の高品質化が図れている。

【0024】

図2は、溝幅Bに対し溝深さ(凸部高さ)hが非常に浅い場合、もしくは凸部11の幅Aに対し溝幅Bが非常に広い基板1を用いる場合を例示している(図2(a)参照)。この場合、原料ガスは凹部12のマスク3上及びその近傍にまで到

達し得るため凹部 1 2 での成長が生じる可能性はある。しかし、凸部上部での成長に比べ成長速度は非常に遅い。これはマスク 3 上に到達した原料が再びガス中に脱離する割合が多いからである。而して、凸部 1 1 の上方部から横方向の結晶成長が生じ、図 2 (b) に示すように、凸部 1 1 の上方部と凹部 1 2 表面に結晶単位 2 0 が生成される状態となる。このような状況下、結晶成長が続くと凸部 1 1 の上方部を起点とし横方向に成長した膜がつながって、やがて図 2 (c) のように基板 1 の凹凸面を覆うことになる。この場合、凸部 1 1 を起点とし横方向成長した部分が図 1 の例に比べて多いため、低転位領域の割合が多く、作製した膜全体でみると図 1 の場合に比べて高品質化が図れていることになる。

【0025】

本発明にあっては、このような凸部 1 1 であれば特に制限はなく各種の形状を採用することができる。

具体的には、上述したような溝幅 B に対し溝深さ（凸部高さ）h が深い場合、溝幅 B に対し溝深さ（凸部高さ）h が浅い場合、さらに溝幅 B に対し溝深さ（凸部高さ）h が非常に浅い場合、もしくは凸部 1 1 の幅 A に対し溝幅 B が非常に広い場合など種々の組み合わせを行う事ができる。特に凸部 1 1 の幅 A に対し溝幅 B が広い場合、凸部 1 1 上部を起点とし横方向成長した部分が多くなり、低転位領域が広く形成される点で好ましい。

【0026】

このような凹凸面の形成の態様としては、島状の点在型の凸部、ストライプ型の凸条からなる凸部、格子状の凸部、これらを形成する線が曲線である凸部などが例示できる。

これら凸部の態様の中でも、ストライプ型の凸条を設ける態様のものは、その作製工程を簡略化できると共に、規則的なパターンが作製容易である点で好ましい。ストライプの長手方向は任意であってよいが、基板上に成長させる材料を GaN とした場合、GaN 系材料の $\langle 11-20 \rangle$ 方向や $\langle 1-100 \rangle$ 方向が好ましい。特に $\langle 1-100 \rangle$ 方向にした場合、 $\{1-101\}$ 面などの斜めファセットが形成され難いため横方向成長（ラテラル成長）が速くなる。この結果凹凸面を覆うのが速くなる点で特に好ましい。

【0027】

凹部 12 上に形成するマスク 3 としては、その層からは実質的に成長し得ないようになしていればよく、 SiO_2 、 SiN_x 、 TiO_2 、 ZrO_2 などが利用できる。またこれら材料の積層構造とすることも可能である。

【0028】

図 1 に示す実施例のように、空洞部 13 を残したまま基板 1 の凹凸部を埋め込み、続いてその上に発光部を成長して発光素子を作製した場合、空洞部と半導体界面の屈折率差が大きく取れる。この結果発光部下方に向かった光がこの界面で反射される割合が増える。例えば LED を、サファイア基板面を下側にしてダイボンドを行った場合は上方に取り出せる光量が増えるため好ましい。

【0029】

また空洞部 13 を残したまま埋め込む事は、基板 1 とその上に成長する半導体層との接触面積を小さくできるという事であるため、半導体中に格子定数差や熱膨張係数差に起因する歪を低減できる面で好ましい。この歪の低減は、サファイア上に GaN 系材料を厚く成長した時に発生する反りを低減させる効果がある。特に従来法では Si 基板上に GaN 系材料を結晶成長する際に熱膨張係数差に起因した反りやクラックが発生し良質の結晶成長を行えない問題があったが、本発明による歪低減によりこの問題を解消できる。

【0030】

さらに基板 1 とその上に成長する半導体層 2 との接触面積を小さくできる事を利用すると、半導体層 2 を厚く成長していった場合、この小さい接触部に応力が集中し、この部分から基板 1 と半導体層 2 の分離が可能となる。これを応用する事で GaN などの基板が作製可能となる。

【0031】

以上、基板 1 の上に半導体層 2 を一層だけ成長する場合について説明したが、転位欠陥をより少なくするために、同様な工程を 2 回繰り返すようにしてもよい。即ち、図 4 に示すように、上記と同様な手法にて基板 1 の凹凸面を覆うように第一の半導体層 2a の結晶成長を行った後に、該第一の半導体層 2a の表面を凹凸面とする加工を施し、その上に気相成長により第一半導体層 2a の凸部 11a

の上方部から専ら結晶成長するよう、マスク 3 a を設けて第二の半導体結晶 2 b を形成することもできる。この場合、特に基板 1 の凸部 1 1 と上記第一の半導体層 2 a に形成する凸部 1 1 a の位置とを、垂直方向にずらす態様にすれば、第二の半導体層 2 b には第一の半導体層 2 a の凸部 1 1 a 上部にある多くの転位が伝播しないことになる。つまり、かかる構成とすれば、第二の半導体層 2 b 全域を低転位領域とすることができ、より高品質の半導体層が得られるものである。

【0032】

また、第二の半導体結晶 2 b の表面をさらに凹凸面とし、その上に同様に気相成長法により形成される第 3 の半導体層を形成するようにしても良い。或いは、さらに同様の工程を繰り返して、複数の半導体層を多重的に形成するようにしても良い。このような構成とすれば、上述したような上下間の凸部の位置調整を意図的に行わずとも、層を重ねる毎に伝播する転位を漸減させることができる。

【0033】

凸部の形成は、例えば通常のフォトリソグラフィ技術を使って凸部形状に応じてパターン化し、RIE 技術等を使ってエッチング加工を行うことで作製できる。

【0034】

基板上に半導体層の結晶成長を行う方法はHVPE、MOCVD、MBE 法などがよい。厚膜を作製する場合はHVPE法が好ましいが、薄膜を形成する場合はMOCVD法が好ましい。

【0035】

基板上に半導体層の結晶成長を行う時の成長条件（ガス種、成長圧力、成長温度、など）は、本発明の効果が出る範囲内であれば、目的に応じ使い分けられよい。

【0036】

【実施例】

【実施例1】

c面サファイア基板上にフォトレジストのパターニング（幅：2 μ m、周期：6 μ m、ストライプ方位：ストライプ延伸方向がサファイア基板の<11-20

＞方向）を行い、R I E (Reactive Ion Etching) 装置で $2 \mu\text{m}$ の深さまで断面方形型にエッチングした。続いて基板全面に SiO_2 膜を $0.1 \mu\text{m}$ 堆積し、その後リフトオフ工程によりフォトレジスト及びその上に堆積された SiO_2 膜を除去した。このようにして基板凹部にマスク層を施した。その後、MOVPE装置に基板を装着し、水素雰囲気下で 1100°C まで昇温し、サーマルエッチングを行った。その後温度を 500°C まで下げ、3族原料としてトリメチルガリウム（以下TMG）を、N原料としてアンモニアを流し、Ga N低温バッファ層を成長した。つづいて温度を 1000°C に昇温し原料としてTMG・アンモニアを、ドーパントとしてシランを流しn型Ga N層を基板上に成長した。その時の成長時間は、通常の凹凸の施していない場合のGa N成長における $4 \mu\text{m}$ に相当する時間とした。

【0037】

成長後の断面を観察すると基板凹部マスク上に若干の成長の痕跡は見られるものの、図2(c)に示すように凹部に空洞部13を残したまま凹凸部を覆い、平坦になったGa N膜が得られた。

【0038】

比較のために、通常のc面サファイア基板上に同じ成長条件で成膜したGa N層と、同じパターンの SiO_2 マスクを使ってELO成長したGa N膜を用意した。

評価は、InGa N (InN混晶比=0.2、 100nm 厚) を続けて成長して現れるピット（転位に対応している）をカウントして転位密度とした。評価結果を表1に示す。

【0039】

【表1】

サンプル	転位密度	XRC の FWHM
実施例サンプル	$4 \times 10^7 \text{ cm}^{-3}$	170 sec
従来 ELO サンプル	$4 \times 10^7 \text{ cm}^{-3}$	200-400 sec
通常 GaN	$2 \times 10^9 \text{ cm}^{-3}$	220 sec

【0040】

実施例のサンプルでは転位密度の低減が従来 E L O と同程度に図れている事が判る。また X R C の F W H M は 1 7 0 s e c と一番小さく、総合的にみて高品質の膜であるといえる。

【0041】

[実施例 2]

実施例 1 で得られた膜に連続して n 型 A l G a N クラッド層、I n G a N 発光層、p 型 A l G a N クラッド層、p 型 G a N コンタクト層を順に形成し、発光波長 370 n m の紫外 L E D ウエハーを作製した。

その後、電極形成、素子分離を行い、LED 素子とした。ウェハ全体で採取された LED チップの出力の平均値と逆電流特性を評価した。比較対象としては、従来の E L O 技術を使って上記構造を作製した紫外 LED チップと通常のサファイア基板を使って上記構造を作製した紫外 LED チップである。これらの評価結果を表 2 に示す。

【0042】

【表 2】

サンプル	出力 (20mA)	-10v 印加時のリーク電流
実施例サンプル	1.7mW	10 n A
従来 E L O サンプル	1.5mW	50 n A
通常 GaN	0.9mW	1 μ A

【0043】

表 2 に示すように本発明を用い作製したサンプルでは従来例に比べ出力が高く、リーク電流の少ない高品質の L E D が作製できる事がわかった。

【0044】

[実施例 3]

次に G a N を基板として用いた例を示す。G a N 基板上にフォトリソのパターンニング（幅：2 μ m、周期：6 μ m、ストライプ方位：G a N 基板の<1-100>）を行い、R I E (Reactive Ion Etching) 装置で 2 μ m の深さまで断面方形

型にエッチングした。続いて基板全面に SiO_2 膜を $0.1\mu\text{m}$ 厚さに堆積し、その後リフトオフ工程によりフォトリソスト及びその上に堆積された SiO_2 膜を除去した。このように加工した GaN 基板をMOVPE装置に装着し、窒素、水素、アンモニア混合雰囲気下で 1000°C まで昇温した。その後、原料として TMG ・アンモニアを、ドーパントとしてシランを流し n 型 GaN 層を成長した。その時の成長時間は通常の凹凸の施していない場合の GaN 成長における $4\mu\text{m}$ に相当する時間とした。

【0045】

成長後の断面を観察すると基板凹部マスク上に若干の成長の痕跡、凸部側面への成長が見られるものの、図3に示すように空洞部を残したまま凹凸部を覆い、平坦になった GaN 膜が得られた。続いて得られた膜のピットの評価を行った。基板としてもちいた GaN のピット密度は $2 \times 10^5 \text{cm}^{-3}$ であったが、本実施例の成長を行うと凸部上部で $1 \times 10^5 \text{cm}^{-3}$ 、凹部上部で $5 \times 10^3 \text{cm}^{-3}$ にピットが減少している事がわかった。このように既に転位の少ない基板に対しても更なる転位密度低減効果があることが確認できた。

【0046】

[実施例4]

実施例1で作製した GaN 結晶を第一結晶とし、その上に第二結晶を成長させた。まず GaN 第一結晶にフォトリソストのパターニング（幅： $2\mu\text{m}$ 、周期： $6\mu\text{m}$ 、ストライプ方位： GaN 基板の $\langle 1-100 \rangle$ ）を行い、RIE装置で $2\mu\text{m}$ の深さまで断面方形型にエッチングした。この時のパターニングは基板凸部の上に第一結晶の凹部がくるような配置とした。続いて基板全面に SiO_2 膜を $0.1\mu\text{m}$ 厚さに堆積し、その後リフトオフ工程によりフォトリソスト及びその上に堆積された SiO_2 膜を除去した。このような加工後、MOVPE装置に基板を装着し、窒素、水素、アンモニア混合雰囲気下で 1000°C まで昇温した。その後、原料として TMG ・アンモニアを、ドーパントとしてシランを流し n 型 GaN 層を成長した。その時の成長時間は通常の凹凸の施していない場合の GaN 成長における $4\mu\text{m}$ に相当する時間とした。

【0047】

成長後の断面を観察すると基板凹部マスク上に若干の成長の痕跡、凸部側面への成長が見られるものの、図4に示すように空洞部を残したまま凹凸部を覆い、平坦になったGa_{0.5}N膜が得られた。続いて得られた膜のピットの評価を行ったところ $8 \times 10^5 \text{ cm}^{-3}$ にピットが減少している事がわかった。このように本実施例を繰り返す事により更なる転位密度低減効果があることが確認できた。

【0048】

【発明の効果】

以上説明した通りの本発明の半導体基材及びその作製方法によれば、基板に対して凸部を設け、凹部にその層からは実質的に成長し得ないマスクで覆うことで、結晶成長当初から実質的に低転位密度領域を形成可能なラテラル成長を優先的に行わせることができる。従って通常のマスク層を形成するELO成長に起因する問題点である軸の微小チルティングによるラテラル成長部の合体部分の新たな欠陥の発生の問題やオートドーピングの問題を解消できる。また、基板に上記加工を施すだけで、一回の成長でバッファ層成長から発光部等の半導体結晶層の成長を連続して行えるので、製造プロセスの簡略化が図れるという利点がある。

特に凹部での成長を抑えることが出来るため、ラテラル成長の効率が良くなる利点がある。

さらに空洞部の利用による反射率向上や、残留歪の抑制などの効果もあり特性向上、低コスト化の面から非常に価値のある発明である。

【図面の簡単な説明】

【図1】

本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

【図2】

本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

【図3】

本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

【図4】

本発明に係わる半導体基材の結晶成長状態を説明するための断面図である。

【符号の説明】

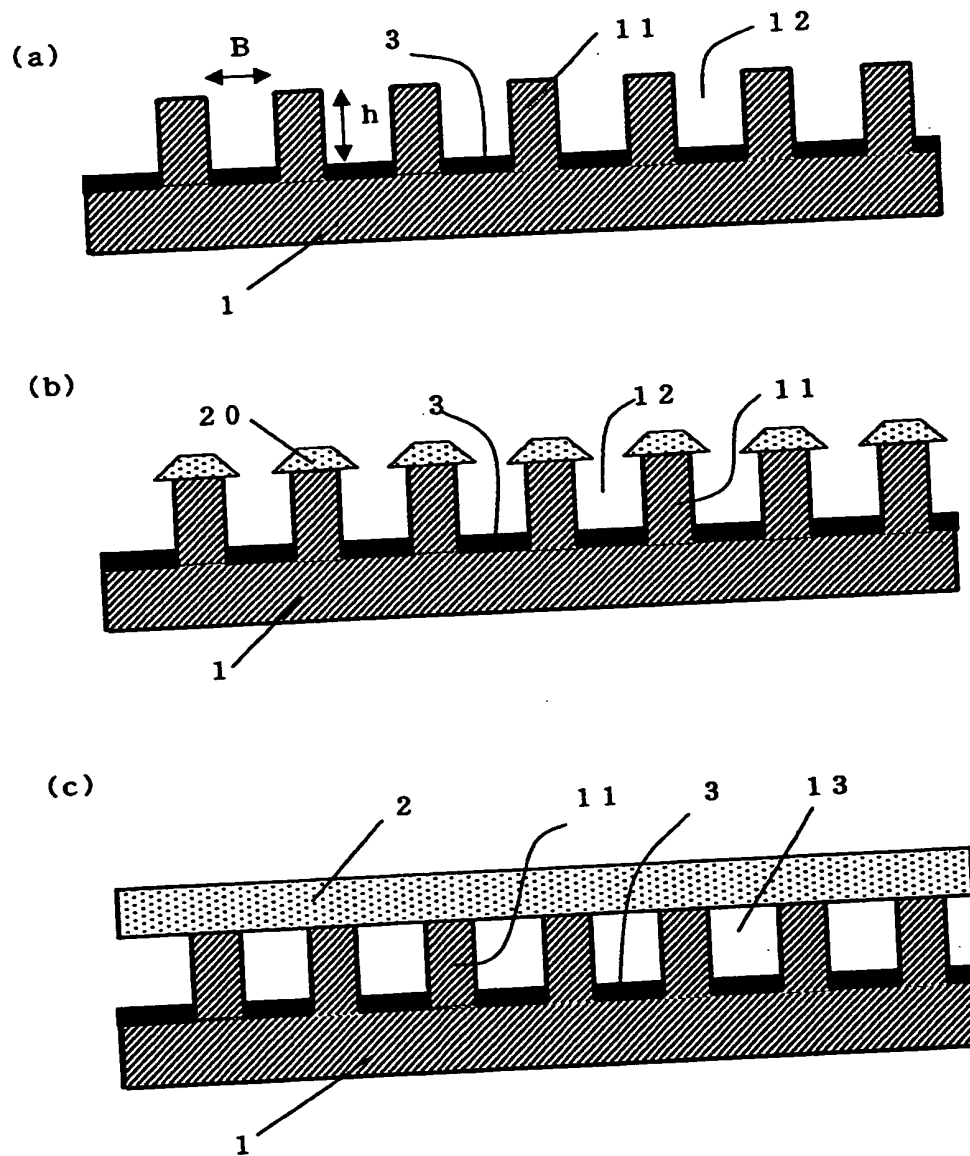
特平 1 1 - 3 3 6 4 2 1

- 1 基板
- 1 1 凸部
- 1 2 凹部
- 1 3 空洞部
- 2 半導体層
- 3 マスク

【書類名】

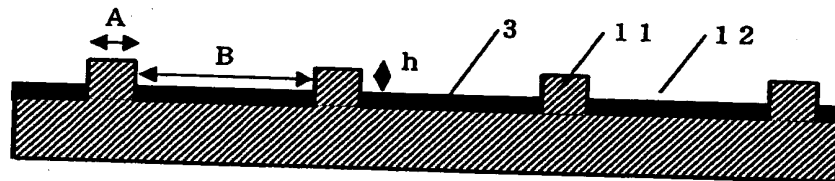
図面

【図 1】

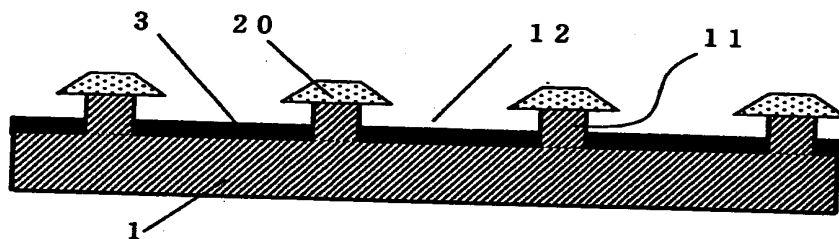


【図 2】

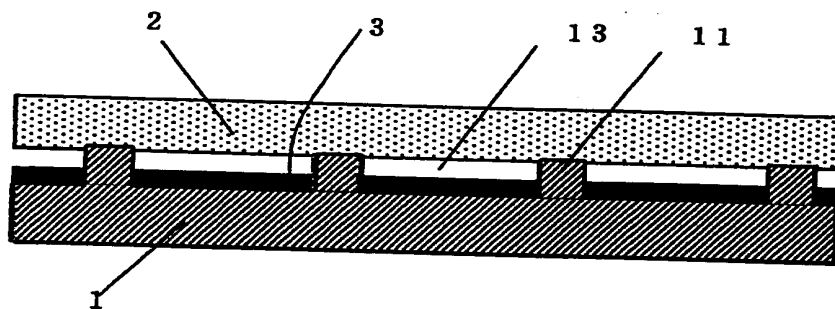
(a)



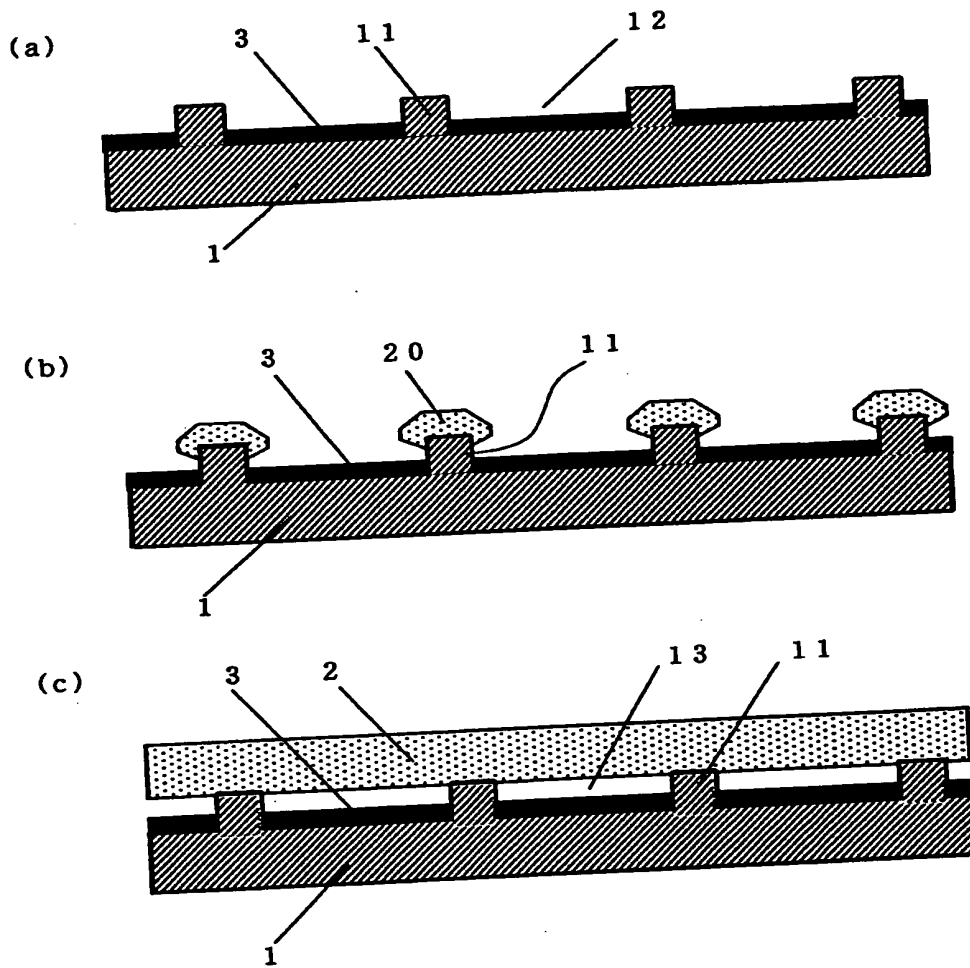
(b)



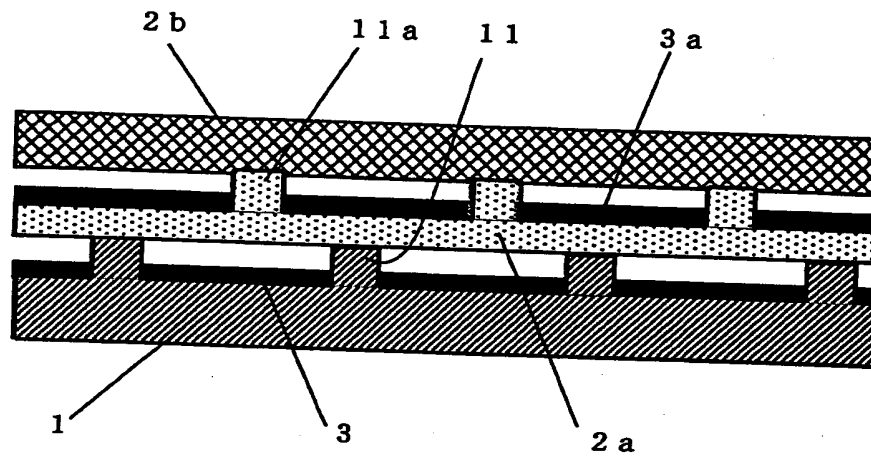
(c)



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 通常のマスク層を用いる E L O 成長に起因する種々の問題を回避し、かつ製造工程の簡略化を図ること。

【解決手段】 (a)図に示すように、成長面が凹凸面とされ、凹面 1 2 にマスク 3 が形成された基板 1 を用いる。この基板を用いて気相成長した場合、マスク 3 が存在するため、凸部 1 1 の上方部からしか結晶成長が起こらない。従って(b)図に示すように、結晶成長開始時は結晶単位 2 0 が発生し、さらに結晶成長を続けると凸部 1 1 の上方部を起点とし横方向に成長した膜がつながって、やがて(c)図のように凹部に空洞部 1 3 を残したまま、基板 1 の凹凸面を覆う。この場合、横方向に成長した部分、つまり凹部 1 2 上部には低転位領域が形成され、作製した膜の高品質化が図れている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000003263]

1. 変更年月日 1990年 8月14日

[変更理由] 新規登録

住 所 兵庫県尼崎市東向島西之町8番地
氏 名 三菱電線工業株式会社